**THÔNG TIN VỀ KẾT QUẢ NGHIÊN CỨU**

Tên luận án: NGHIÊN CỨU BỘ NGHỊCH LƯU BA PHA BA BẬC HÌNH T VỚI KHẢ NĂNG TĂNG ÁP VÀ CHỊU ĐƯỢC LỖI.

Chuyên ngành : Kỹ thuật điện tử Mã số: 9520203

Họ & tên nghiên cứu sinh : Đỗ Đức Trí Khóa đào tạo: 2017-2020

Người hướng dẫn khoa học : TS. NGUYỄN MINH KHAI

: TS. QUÁCH THANH HẢI

Cơ sở đào tạo: Trường đại học Sư phạm Kỹ thuật thành phố Hồ Chí Minh

**1. Tóm tắt nội dung luận án:**

Trong những năm gần đây, cấu hình nghịch lưu hình T ba pha ba bậc truyền thống được ứng dụng rất phổ biến so với nghịch lưu hai bậc. Bởi vì, nghịch lưu hình T ba pha ba bậc truyền thống có nhiều ưu điểm như: chất lượng điện năng tốt hơn, yêu cầu bộ lọc ngõ ra AC nhỏ hơn, điện áp đặt trên các khóa công suất nhỏ hơn và điện áp ngõ ra cao hơn so với nghịch lưu hai bậc. Tuy nhiên, cấu hình nghịch lưu hình T ba pha ba bậc truyền thống là bộ chuyển đổi giảm áp. Mặt khác, để tạo ra điện áp ngõ ra cao từ điện áp ngõ vào thấp, một bộ DC-DC tăng áp cần phải được lắp đặt phía trước bộ nghịch lưu, lúc này, bộ nghịch lưu 3 bậc hình T truyền thống làm việc như bộ chuyển đổi hai chặng. Ngoài ra, trạng thái ngắn mạch (hai khóa công suất trên một nhánh pha có thể được đóng trong cùng thời điểm) là bị cấm trong nghịch lưu truyền thống. Nghịch lưu nguồn Z ba bậc (được gọi là bộ chuyển đổi công suất một chặng với khả năng tăng giảm điện áp và chịu đựng ngắn mạch) được đề xuất để khắc phục hạn chế của nghịch lưu ba bậc truyền thống. Tuy nhiên, bất lợi của cấu hình này là dòng điện ngõ vào không liên tục dẫn đến việc hạn chế cho các ứng dụng trong hệ thống PV và Pin nhiên liệu.

Để giải quyết những bất lợi của các bộ nghịch lưu nguồn Z ba bậc, các bộ nghịch lưu tựa nguồn Z ba bậc được đề xuất. Cấu hình nghịch lưu tựa nguồn Z ba bậc có vài ưu điểm như: điện áp đặt trên các phần tử công suất thấp và dòng điện ngõ vào liên tục. Tuy nhiên, cấu hình nghịch lưu tựa nguồn Z ba bậc sử dụng nhiều phần tử thụ động điều này làm gia tăng trọng lượng, kích thước và tổn hao của hệ thống nghịch lưu.

**2. Những đóng góp mới của đề tài**

Nhằm cải thiện các nhược điểm nêu trên, cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T và giải thuật điều chế độ rộng xung (pulse width modulation - PWM) được đề xuất với những tính năng theo sau:

Giảm độ gợn sóng dòng điện ngõ vào so với cấu hình tương tự;

Độ lợi điện áp cao so với cấu hình tương tự;

Chỉ số điều chế cao so với cấu hình tương tự.

Trong quá trình hoạt động, bộ nghịch lưu tạo ra điện áp common mode (CMV), quá trình này là nguyên nhân chính dẫn đến nhiều vấn đề bất lợi cho bộ nghịch lưu như: dòng rò, điện áp trục trong các ứng dụng điều khiển động cơ cũng như nhiễu điện từ.

Để giải quyết vấn đề điện áp common mode của cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T, giải thuật điều chế độ rộng xung (pulse width modulation - PWM) với khả năng triệt tiêu điện áp common mode được đề xuất.

Tính ổn định và độ tin cậy của các bộ nghịch lưu rất quan trọng trong hệ thống phân phối công suất như là: hệ thống cung cấp điện không ngắt UPS, hệ thống y tế công suất cao và hệ thống chuyển đổi năng lượng kết nối lưới. Trong thực tế, lỗi các thiết bị đóng/ngắt thường được chia thành hai loại, là lỗi ngắn mạch hoặc lỗi hở mạch. Sự kết hợp giữa cầu chì nhanh kết nối nối tiếp với các nhánh công suất của nghịch lưu dẫn đến lỗi ngắn mạch trở thành lỗi hở mạch.

Để đảm bảo tính ổn định và độ tin cậy của cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T, giải thuật điều chế độ rộng xung (pulse width modulation - PWM) được đề xuất với những tính năng theo sau:

Cải tiến thông số điều khiển so với cấu hình tương tự;

Khả năng hoạt động ở điều kiện bình thường và điều kiện lỗi;

Giảm điện áp đặt trên các khóa công suất so với cấu hình tương tự.

Ngoài ra, phần mềm PSIM và mô hình thực nghiệm được thực hiện để kiểm chứng nguyên lý hoạt động của cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng triệt tiêu điện áp common mode và chịu lỗi hở mạch các khóa công suất.

Nghiên cứu sinh

(Ký và ghi rõ họ tên)

**THE INFORMATION ON RESEARCH RESULTS**

Dissertation title : Study on T-Type Three-Level Three-Phase Inverter with Boost Voltage Ability and Fault Tolerance.

Major : Electronic Engineering Major code: 9520203

PhD student : Do Duc Tri Period of doctoral study: 2017-2020

Supervisor : Dr. NGUYEN MINH KHAI

: Dr. QUACH THANH HAI

Training institution: HO CHI MINH CITY UNIVERSITY OF TECHNOLOGY AND EDUCATION

1. **Abstract**

In recent years, the traditional three-phase three-level T-type inverter topology has been used very commonly compared to the two-level inverter topology. Because the traditional three-phase three-level T-type inverter has many advantages such as better power quality, smaller output AC filter requirement, lower voltage stress across the inverter switches, and higher output voltage compared to the two-level inverter. However, the traditional three-phase three-level T-type inverter is only a buck converter. On the other hand, to create a high output voltage from a low input voltage, a DC-DC boost converter needs to be installed in front of the inverter which the traditional three-level T-type inverter will work as a two-stage converter. Besides, a shoot-through mode, where both the upper and lower switches in the same leg can be switched on at the same time, is forbidden in the traditional inverter. The three-level Z-source inverter topology, known as a single-stage power converter with a buck-boost capability and ST immune, is proposed to overcome the limitation of the traditional three-level inverter. However, the disadvantage of this topology is to have the discontinuous input current which results in the limitation of applications in PV and fuel cell systems.

To overcome the disadvantages of the three-level Z-source inverters, the three-level quasi Z-source inverters are proposed. The quasi Z-source inverter topology has some advantages such as low voltage stress on power switches and continuous input current. However, the three-level quasi Z-source inverter topology uses a large number of passive components that increase the weight, size, and loss of the inverter system.

**2. The main research contribution of this thesis**

To improve the aforementioned disadvantages, the three-level quasi switched boost T-type inverter topology and PWM algorithm is proposed with the following features:

The input current ripple is reduced compared with the similar topology;

High voltage gain compared with the similar topology;

High modulation index compared with the similar topology.

During its operation, the inverter generates the common-mode voltage (CMV), which causes a lot of disadvantage problems for inverter, such as bearing currents and shaft voltage in motor drives applications as well as electromagnetic interference.

To address the common-mode voltage problems of the three-level quasi switched boost T-type inverter topology, the PWM algorithm with the ability to eliminate common-mode voltage is proposed.

The stability and reliability of the inverters are important in power distribution systems such as UPS, high-power medical instruments, and grid-connected renewable energy conversion systems. In fact, switching device faults are usually classified as either a short-circuit switch fault or an open-circuit switch fault. The combination of the fast fuses connected in series with the power switch legs of the inverter results in converting the short-circuit switch fault into the open-circuit switch fault.

To ensure the stability and reliability of the three-level quasi switched boost T-type inverter topology, the PWM algorithm is proposed with the following features:

Improving control parameters in comparison with the similar topology;

Having the ability to operate in normal and fault modes;

Reducing voltage stress in power semiconductors in comparison with the similar topology.

In addition, a PSIM software and a prototype are implemented to verify the operating principle of the three-level quasi switched boost T-type inverter topology with the ability to eliminate common-mode voltage and to tolerate open-circuit fault of the power switches.

**PhD student**

(Sign and write full name)